



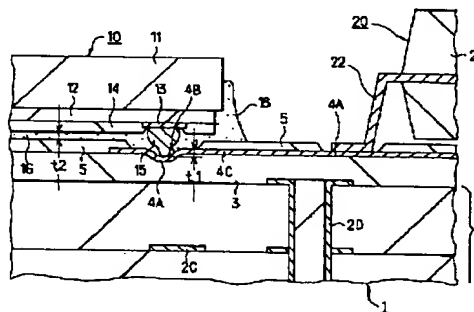
## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10270496 A**(43) Date of publication of application: **09.10.98**(51) Int. Cl. **H01L 21/60**(21) Application number: **09075970**(22) Date of filing: **27.03.97**(71) Applicant: **HITACHI LTD HITACHI HOKKAI  
SEMICONDUCTOR LTD**(72) Inventor: **IMASU SEISHI  
YOSHIDA IKUO  
HAYASHIDA TETSUYA  
YAMAGIWA AKIRA  
TAKEURA SHINOBU**(54) **ELECTRONIC DEVICE, INFORMATION  
PROCESSOR, SEMICONDUCTOR DEVICE,  
SEMICONDUCTOR CHIP, AND MOUNTING  
METHOD THEREOF**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a technique for enhancing a reliability in the interconnection between electrode pads and bump electrodes of a wiring board.

**SOLUTION:** The electronic device has a semiconductor chip 10. The chip is fixedly mounted on a mounting surface of a wiring board 1 with adhesive materials therebetween. An external terminal 13 is electrically connected to an electrode pad 4A of the substrate 1 through a bump electrode 15. The electrode pad 4A is formed therein with a recess 4B, in which the pad 4A and bump electrode 15 are connected to each other. The pad 4A is formed on a surface of a flexible layer 3, and the recess 4B is made by elastic deformation of the pad 4A and layer 3.



COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-270496

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/60

3 1 1 S

審査請求 未請求 請求項の数16 O L (全 14 頁)

(21) 出願番号 特願平9-75970

(22) 出願日 平成9年(1997)3月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72) 発明者 今須 誠士

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 吉田 育生

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 秋田 収喜

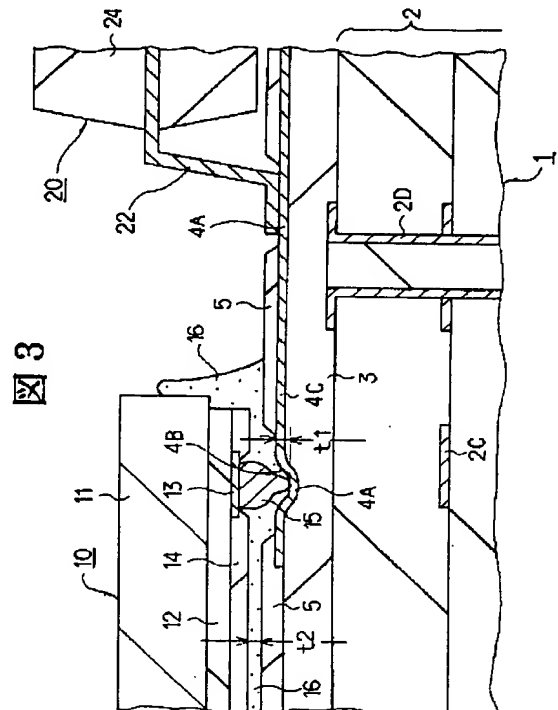
最終頁に続く

(54) 【発明の名称】 電子装置、情報処理装置、半導体装置並びに半導体チップの実装方法

(57) 【要約】

【課題】 温度サイクル試験時において、配線基板1の電極パッド4Aとバンプ電極15との間に隙間が生じ、配線基板1の電極パッド4Aとバンプ電極15との接続不良が発生する。

【解決手段】 配線基板1の実装面に接着材を介在して固定され、かつ前記配線基板1の電極パッド4Aにバンプ電極15を介在して外部端子13が電気的に接続された半導体チップ10を有する電子装置であって、前記電極パッド4Aに凹部4Bが形成され、この凹部4B内において前記電極パッド4Aと前記バンプ電極15とが接続されている。前記電極パッド4Aは柔軟層3の表面上に形成され、前記凹部4Bは前記電極パッド4A及び柔軟層3の弾性変形によって形成されている。



## 【特許請求の範囲】

【請求項 1】 配線基板の実装面に接着材を介在して固定され、かつ前記配線基板の電極パッドにバンパ電極を介在して外部端子が電氣的に接続された半導体チップを有する電子装置であって、前記電極パッドに凹部が形成され、この凹部内において前記電極パッドと前記バンパ電極とが接続されていることを特徴とする電子装置。

【請求項 2】 前記電極パッドは柔軟層の表面上に形成され、前記凹部は前記電極パッド及び前記柔軟層の弾性変形によって形成されていることを特徴とする請求項 1 に記載の電子装置。

【請求項 3】 前記柔軟層はリジット基板の表面上に形成されていることを特徴とする請求項 2 に記載の電子装置。

【請求項 4】 前記柔軟層は、前記接着材に比べて熱膨張係数が小さい材料で形成されていることを特徴とする請求項 2 又は請求項 3 に記載の電子装置。

【請求項 5】 前記バンパ電極は、前記半導体チップの外部端子に固着され、前記配線基板の電極パッドに圧接されていることを特徴とする請求項 1 乃至請求項 4 のうちのいずれか 1 項に記載の電子装置。

【請求項 6】 前記バンパ電極はスタッドバンパ構造で構成されていることを特徴とする請求項 1 乃至請求項 5 のうちのいずれか 1 項に記載の電子装置。

【請求項 7】 前記接着材は、異方性導電樹脂フィルムを使用していることを特徴とする請求項 1 乃至請求項 6 のうちのいずれか 1 項に記載の電子装置。

【請求項 8】 請求項 1 乃至請求項 7 のうちのいずれか 1 項に記載の電子装置を組み込んでいることを特徴とする情報処理装置。

【請求項 9】 配線基板の実装面に接着材を介在して固定され、かつ前記配線基板の電極パッドにバンパ電極を介在して外部端子が電氣的に接続された半導体チップを有する半導体装置であって、前記電極パッドに凹部が形成され、この凹部内において前記電極パッドと前記バンパ電極とが接続されていることを特徴とする半導体装置。

【請求項 10】 前記電極パッドは柔軟層の表面上に形成され、前記凹部は前記電極パッド及び前記柔軟層の弾性変形によって形成されていることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】 前記柔軟層はリジット基板の表面上に形成されていることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】 前記柔軟層は、前記接着材に比べて熱膨張係数が小さい材料で形成されていることを特徴とする請求項 10 又は請求項 11 に記載の半導体装置。

【請求項 13】 前記バンパ電極は、前記半導体チップの外部端子に固着され、前記配線基板の電極パッドに圧接されていることを特徴とする請求項 9 乃至請求項 12

のうちのいずれか 1 項に記載の半導体装置。

【請求項 14】 前記バンパ電極は、スタッドバンパ構造で構成されていることを特徴とする請求項 9 乃至請求項 13 のうちのいずれか 1 項に記載の半導体装置。

【請求項 15】 前記接着材は異方性導電樹脂フィルムを使用していることを特徴とする請求項 9 乃至請求項 14 のうちのいずれか 1 項に記載の半導体装置。

【請求項 16】 配線基板の実装面に接着材を介在して固定され、かつ前記配線基板の電極パッドにバンパ電極を介在して外部端子が電氣的に接続される半導体チップの実装方法であって、リジット基板上に柔軟層を介在して電極パッドが形成された配線基板と、外部端子上にバンパ電極が形成された半導体チップを準備する工程と、前記配線基板の実装面上に接着材を介在して前記半導体チップを配置すると共に、前記配線基板の電極パッドと前記半導体チップの外部端子との間に前記バンパ電極を配置する工程と、前記半導体チップを熱圧着し、前記バンパ電極で押圧して前記電極パッドに凹部を形成し、この状態で前記接着材を硬化させる工程を備えたことを特徴とする半導体チップの実装方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、配線基板の実装面に接着材を介在して固定され、かつ前記配線基板の電極パッドにバンパ電極を介在して外部端子が電氣的に接続された半導体チップを有する電子装置及び半導体装置に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】配線基板の実装面上に半導体チップを実装する実装方法として、配線基板の電極パッドと半導体チップの外部端子との間にバンパ電極を介在して行うフリップチップ法がある。このフリップチップ法には、C C B (C ontrolled C ollapse B onding) 法と F C A (F lip C hip A ttach) 法とがある。

【0003】前記 C C B 法は、配線基板の電極パッドと半導体チップの外部端子とをバンパ電極で固着し、両者間を電氣的にかつ機械的に接続する方法である。具体的には、まず、半導体チップの外部端子上に鉛 (P b) - 錫 (S n) 組成の金属材料からなるボール形状のバンパ電極を形成する。次に、配線基板の電極パッドと半導体チップの外部端子との間にバンパ電極が介在されるように、配線基板上に半導体チップを配置する。次に、熱処理を施してバンパ電極を熔融し、配線基板の電極パッドと半導体チップの外部端子とを固着する。この C C B 法は、配線基板の電極パッドと半導体チップの外部端子とをバンパ電極で固着するので、配線基板と半導体チップとの熱膨張係数の差に起因する熱応力がバンパ電極に集中し、この熱応力によってバンパ電極が破損する場合がある。そこで、C C B 法においては、配線基板の電極パッドと半導体チップの外部端子とをバンパ電極で固着した後、

配線基板と半導体チップとの間に樹脂を充填し、バンパ電極の機械的強度を樹脂の機械的強度で補う試みがなされている。この技術はアンダーフィル構造と称され、半導体装置のパッケージング技術に利用されている。アンダーフィル構造の半導体装置については、例えば工業調査会から発行された電子材料〔1996年、4月号、第14頁乃至第19頁〕に記載されている。

【0004】前記FCA法は、半導体チップの外部端子上に形成されたバンパ電極を配線基板の電極パッドに圧接し、両者間を電氣的にかつ機械的に接続する方法である。具体的には、まず、半導体チップの外部端子上に金(Au)からなるスタッドバンパ構造のバンパ電極を形成する。次に、配線基板の電極パッドと半導体チップの外部端子との間にバンパ電極が介在されるように、配線基板上に熱硬化性樹脂からなるシート形状の接着材を介在して半導体チップを配置する。次に、半導体チップを熱圧着し、配線基板の電極パッドにバンパ電極を接続した状態で接着材を硬化させる。室温状態に戻った接着材には熱収縮力及び熱硬化収縮力等の圧縮力が生じ、この圧縮力によってバンパ電極は配線基板の電極パッドに圧接される。このFCA法は、前述のCCB法と異なり、配線基板の電極パッドと半導体チップの外部端子とをバンパ電極で固着していないので、配線基板と半導体チップとの熱膨張係数の差に起因する熱応力がバンパ電極に集中することはない。また、配線基板の電極パッドにバンパ電極を接続する工程と、配線基板と半導体チップとの間に樹脂を充填する工程が同一工程でなされる。このFCA法は、配線基板上に複数個の半導体チップを搭載するメモリモジュール、CPU(Central Processing Unit)モジュール等の電子装置の製造に有効である。

【0005】なお、前記FCA法については、例えば特開平4-345041号公報並びに特開平5-175280号公報に記載されている。

【0006】

【発明が解決しようとする課題】本発明者等は、前述のFCA法について検討した結果、以下の問題点を見出した。

【0007】配線基板と半導体チップとの間に充填される接着材はバンパ電極よりも熱膨張係数が大きい樹脂で形成されているので、接着材の厚さ方向の膨張量はバンパ電極の高さ方向の膨張量よりも大きい。このため、温度サイクル試験時において、配線基板の電極パッドとバンパ電極との間に隙間が生じ、配線基板の電極パッドとバンパ電極との接続不良が発生する。

【0008】また、接着材の熱収縮力及び硬化収縮力によってバンパ電極は配線基板の電極パッドに圧接されているが、熱の変化による膨張、収縮の変異量はバンパ電極よりも接着材の方が大きいので、温度サイクル試験時の膨張、収縮の繰り返しによってバンパ電極の先端(配線基板の電極パッド側)に塑性変形が生じ、バンパ電極

の高さが低くなる。このため、配線基板の電極パッドとバンパ電極との間に隙間が生じ、配線基板の電極パッドとバンパ電極との接続不良が発生する。

【0009】本発明の目的は、配線基板の電極パッドとバンパ電極との接続信頼性を高めることが可能な技術を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0012】配線基板の実装面に接着材を介在して固定され、かつ前記配線基板の電極パッドにバンパ電極を介在して外部端子が電氣的に接続された半導体チップを有する電子装置であって、前記電極パッドに凹部が形成され、この凹部内において前記電極パッドと前記バンパ電極とが接続されている。前記電極パッドは柔軟層の表面上に形成され、前記凹部は前記電極パッド及び柔軟層の弾性変形によって形成されている。

【0013】上述した手段によれば、凹部の凹み量に相当する分、配線基板と半導体チップとの間の隙間が狭くなるので、配線基板と半導体チップとの間に介在される接着材の厚さを薄くできる。この結果、接着材の厚さ方向の膨張量を低減することができるので、温度サイクル試験時における配線基板の電極パッドとバンパ電極との接続不良を防止でき、両者間の接続信頼性を高めることができる。

【0014】また、熱の変化による接着材の膨張、収縮の変異量を低減することができるので、温度サイクル試験時の膨張、収縮の繰り返しによって生じるバンパ電極の先端(配線基板の電極パッド側)の塑性変形を抑制できる。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0016】なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0017】(実施形態1)図1は、本発明の実施形態1であるメモリモジュール(電子装置)の平面図であり、図2は、図1に示すA-A線の位置で切った要部断面図であり、図3は、図2の要部拡大断面図である。

【0018】本実施形態のメモリモジュール(電子装置)は、図1に示すように、配線基板1の実装面上に実装部品として4つの半導体チップ10及び1つの半導体装置20を搭載し、1つのメモリシステムを構成している。4つの半導体チップ10の夫々には、記憶回路として例えばSRAM(Static Random Access Memory)が塔

載されている。1つの半導体装置20には、4つの半導体チップ10の夫々の記憶回路を制御する制御回路が搭載されている。

【0019】前記配線基板1は、図2に示すように、リジット基板2の一表面上に柔軟層3を形成した構造で構成されている。リジット基板2は、例えばガラス繊維にエポキシ樹脂又はポリイミド樹脂を含浸させた樹脂基板で構成されている。本実施形態のリジット基板2は多層配線構造で構成されている。柔軟層3は、例えばエポキシ系の低弾性樹脂で形成されている。

【0020】前記柔軟層3の表面上には、詳細に図示していないが、複数の電極パッド4Aが配置されている。この複数の電極パッド4Aの夫々は、柔軟層3の表面上を延在する配線4Cを介して、リジット基板2の一表面上を延在する配線2Aに電氣的に接続されている。配線2Aは、リジット基板2の内部配線2Cを介して、リジット基板2の裏面上に配置された複数の電極パッド2Bの夫々に電氣的に接続されている。この複数の電極パッド2Bの夫々には、例えばPb-Sn組成の金属材料からなるボール形状のバンプ電極17が電氣的にかつ機械的に接続されている。電極パッド4A、配線4C、配線2A、電極パッド2B、内部配線2Cの夫々は例えば銅(Cu)膜で形成されている。

【0021】前記柔軟層3の表面及び配線4Cの表面は保護膜5で被覆され、前記リジット基板2の裏面は保護膜6で被覆されている。この保護膜5、保護膜6の夫々は例えばポリイミド系の樹脂で形成されている。

【0022】前記半導体装置20は、半導体チップ21の外部端子とリード22のインナー部とをボンディングワイヤ23で電氣的に接続し、これらの半導体チップ21、リード22のインナー部及びボンディングワイヤ23等を樹脂封止体24で封止した構造で構成されている。この半導体装置20のリード22の OUTER部は、配線基板1の電極パッド4Aに半田によって電氣的にかつ機械的に接続されている。

【0023】前記半導体チップ10は、配線基板1の実装面に接着材16を介在して接着固定されている。接着材16は、例えばエポキシ系の熱硬化性樹脂で形成されている。

【0024】前記半導体チップ10は、図3に示すように、例えば単結晶珪素からなる半導体基板11を主体に構成されている。半導体基板11の素子形成面(図3において下面)にはSRAMを構成する素子が形成され、また、半導体基板11の素子形成面上には複数の外部端子13が配置されている。この複数の外部端子13の夫々は、半導体基板11の素子形成面上に絶縁層12を介在して形成された配線層のうち、最上層の配線層に形成され、例えばアルミニウム(Al)膜又はアルミニウム合金膜で形成されている。複数の外部端子13の夫々は、配線層に形成された配線を介してSRAMを構成する素

子に電氣的に接続されている。最上層の配線層上には最終保護膜14が形成されている。この最終保護膜14は、例えばポリイミド・イソインドロ・キナゾリンジオン(PIQ)樹脂で形成されている。

【0025】図2及び図3に示すように、前記半導体チップ10の外部端子13と前記配線基板1の電極パッド4Aとの間には、バンプ電極15が介在されている。バンプ電極15は、半導体チップ10の最終保護膜14に形成された開口を通して、半導体チップ10の外部端子13に固着され、電氣的にかつ機械的に接続されている。また、バンプ電極15は、配線基板1の保護膜5に形成された開口を通して、配線基板1の電極パッド4Aに圧接され、電氣的にかつ機械的に接続されている。このバンプ電極15の圧接による接続は、熱収縮力及び熱硬化収縮力等で接着材16に生じた圧縮力によって行なわれている。つまり、半導体チップ10は配線基板1の実装面上にFCA法によって実装されている。

【0026】前記バンプ電極15は、これに限定されないが、例えばスタッドバンプ構造で構成されている。スタッドバンプ構造はボールボンディング法によって形成される。ボールボンディング法は、Auワイヤの先端部に形成されたボールを半導体チップの外部端子に熱圧着し、その後、ボールの部分からAuワイヤを切断してバンプ電極を形成する方法である。

【0027】前記バンプ電極15が圧接された電極パッド4Aには凹部4Bが形成され、この凹部4B内において、バンプ電極15と電極パッド4Aとが接続されている。このバンプ電極15と電極パッド4Aとの接続は、配線基板1の実装面から深さ方向に向って、半導体装置20のリード22と電極パッド4Aとの接続よりも深い位置で行なわれている。

【0028】前記配線基板1と半導体チップ10との間に介在された接着材16の厚さは、図3に示すように、配線基板1と半導体チップ10との間の隙間t2で規定される。この隙間t2はバンプ電極15の高さで規定されるが、バンプ電極15と電極パッド4Aとの接続が電極パッド4Aに形成された凹部4B内において行なわれているので、凹部4Bの凹み量t1に相当する分だけ狭くなる。つまり、配線基板1の電極パッド4Aに凹部4Bを形成し、この凹部4B内において、バンプ電極15と電極パッド4Aとを接続することにより、凹部4Bの凹み量t1に相当する分、配線基板1と半導体チップ10との間の隙間t2が狭くなるので、配線基板1と半導体チップ10との間に介在される接着材16の厚さを薄くすることができる。したがって、バンプ電極15の高さを低くすることなく、配線基板1と半導体チップ10との間に介在された接着材16の厚さ方向の膨張量を低減することができる。

【0029】前記電極パッド4Aの凹部4Bは、電極パッド4A及び柔軟層3の弾性変形によって形成されてい

る。この電極パッド4 A及び柔軟層3の弾性変形は、配線基板1の実装面上に半導体チップ10を実装する際、半導体チップ10の圧着力でパンプ電極15が電極パッド4 Aを押圧することによって発生するので、パンプ電極15には電極パッド4 A及び柔軟層3の弾性力が作用している。

【0030】次に、前記メモリモジュールの製造方法及び半導体チップ10の実装方法を図4乃至図7(製造方法を説明するための断面図)を用いて説明する。

【0031】まず、半導体チップ10を準備し、図4(A)に示すように、半導体チップ10の外部端子13上にスタッドパンプ構造のパンプ電極15をボールボンディング法で形成する。ボールボンディング法は、Auワイヤの先端部に形成されたボールを半導体チップの外部端子に熱圧着し、その後、ボールの部分からAuワイヤを切断してパンプ電極を形成する方法であるので、スタッドパンプ構造のパンプ電極15の場合、リフトオフ法及びボール供給法で形成されたパンプ電極に比べて高さが高くなる。

【0032】次に、図4(B)に示すように、ベアチップ用キャリア治具30に前記半導体チップ10を装着してバーンイン試験を施す。バーンイン試験は、顧客での使用条件に比べて過酷な使用条件(負荷を与えた状態)で半導体チップ10の回路動作を行い、顧客での使用中に欠陥になるもの、ある意味では欠陥を加速的に発生せしめ、顧客に出荷する前の初期段階において不良品を排除する目的として行なわれる。ベアチップ用キャリア治具30は、主に、半導体チップ10を装着するベース部材31と、絶縁性フィルム32 Aの一表面に配線32 Bが形成されたフィルム部材32と、半導体チップ10の位置合わせを行うガイド部材33と、半導体チップ10を加圧固定する蓋部材34とで構成されている。このベアチップ用キャリア治具30は絶縁性フィルム32 Aに形成された接続孔32 Cを通して配線32 Bとパンプ電極15とを接続する構成になっているので、パンプ電極15の高さは絶縁性フィルム32 Aの厚さよりも高くしておかなければならない。

【0033】次に、図4(C)に示すように、ガラス基板40上に前記半導体チップ10を配置し、半導体チップ10を圧着してパンプ電極15の高さを揃える。

【0034】次に、図5に示すように、前記配線基板1の実装面のチップ搭載領域にシート形状(フィルム形状)に加工された接着材16を貼り付ける。接着材16は例えばエポキシ系の熱硬化性樹脂で形成されている。配線基板1は、リジット基板2の一表面上に柔軟層3を形成した構造で構成され、柔軟層3の表面上に複数の電極パッド4 A及び配線4 Cが配置され、柔軟層3の表面及び配線4 Cの表面が保護膜5で被覆され、リジット基板2の裏面が保護膜6で被覆されている。

【0035】次に、図6に示すように、前記配線基板1

の実装面のチップ搭載領域上に接着材16を介在して半導体チップ10を配置すると共に、配線基板1の電極パッド4 Aと半導体チップ10の外部端子13との間にパンプ電極15を配置する。

【0036】次に、図7に示すように、前記半導体チップ10をヒータ41で熱圧着し、パンプ電極15で電極パッド4 Aを押圧して電極パッド4 Aに凹部4 Bを形成し、この状態で接着材16を硬化させる。この工程において、凹部4 Bの凹み量に相当する分、配線基板1と半導体チップ10との間の隙間が狭くなり、配線基板1と半導体チップ10との間に介在された接着材16の厚さが薄くなる。また、凹部4 Bは電極パッド4 A及び柔軟層3の弾性変形によって形成されるので、パンプ電極15には電極パッド4 A及び柔軟層3の弾性力が作用する。この工程により、図8に示すように、配線基板1上に半導体チップ10が実装される。

【0037】次に、前記配線基板1の実装面の他の領域上に半導体装置20を配置するとともに、電極パッド4 A上にペート状の半田を介在してリード22を配置する。

【0038】次に、熱処理を施して前記ペート状の半田を溶融し、配線基板1の電極パッド4 Aと半導体装置20のリード22とを固着する。これにより、配線基板1上に半導体装置20が実装される。

【0039】次に、前記配線基板1の裏面に配置された複数の電極パッド2 Bの夫々にボール形状のパンプ電極17を固着し、この後、洗浄処理及びベーク処理を施すことにより、図1及び図2に示すメモリモジュール(電子装置)が完成する。

【0040】なお、柔軟層3は接着材16の材料に比べて熱膨張係数の小さい材料で形成する。

【0041】このように、本実施形態によれば、以下の効果が得られる。

【0042】(1) 配線基板1の実装面に接着材16を介在して固定され、かつ前記配線基板1の電極パッド4 Aにパンプ電極15を介在して外部端子13が電気的に接続された半導体チップ10を有する電子装置であって、前記電極パッド4 Aに凹部4 Bを形成し、この凹部4 B内において前記電極パッド4 Aと前記パンプ電極15とを接続する。この構成により、凹部4 Bの凹み量 $t_1$ に相当する分、配線基板1と半導体チップ10との間の隙間 $t_2$ が狭くなるので、配線基板1と半導体チップ10との間に介在される接着材16の厚さを薄くできる。この結果、接着材16の厚さ方向の膨張量を低減することができるので、温度サイクル試験時における配線基板1の電極パッド4 Aとパンプ電極15との接続不良を防止でき、両者間の接続信頼性を高めることができる。

【0043】また、熱の変化による接着材16の膨張、収縮の変異量を低減することができるので、温度サイクル試験時の膨張、収縮の繰り返しによって生じるパンプ

電極15の先端(配線基板の電極パッド側)の塑性変形を抑制できる。したがって、配線基板1の電極パッド4Aとバンプ電極15との接続不良を防止でき、両者間の接続信頼性を高めることができる。

【0044】(2)前記電極パッド4Aを柔軟層3の表面上に形成し、前記凹部4Bを前記電極パッド4A及び柔軟層3の弾性変形によって形成する。この構成により、電極パッド15に電極パッド4A及び柔軟層3の弾性力が作用するので、配線基板1の電極パッド4Aとバンプ電極15との圧接力が増加する。

【0045】また、接着材16の厚さ方向の膨張によってバンプ電極16が上方に移動しても、バンプ電極15の移動に追従して凹部4Bの凹み量の変動するので、電極パッド4Aとバンプ電極15との接続を確保できる。

【0046】なお、本実施形態は、エポキシ系の熱硬化樹脂からなるシート形状の接着材16を用いた例について説明したが、例えば、異方性導電樹脂フィルム(Anisotropic Conductive Film)や熱可塑性樹脂フィルムを用いて行ってもよい。

【0047】また、本実施形態は、配線基板1にシート形状の接着材16を貼り付けた例について説明したが、図9(断面図)に示すように、シート形状の接続材16を半導体チップ10に張り付けて行ってもよい。

【0048】また、本実施形態は、配線基板1と半導体チップ10との間に隙間を持たせた例について説明したが、図10(断面図)に示すように、配線基板1に半導体チップ10を接触させてもよい。この場合、電極パッド4Aの領域上にしか接着材16が介在されないので、更に、配線基板1の電極パッド4Aとバンプ電極15との接続信頼性を高めることができる。

【0049】また、本実施形態は、バンプ電極15を金で形成した例について説明したが、バンプ電極15は、例えばPb-Sn組成やSn-Ag組成からなる合金材で形成してもよい。この場合、リフトオフ法やボール供給法で形成されるので、図11(断面図)に示すように、バンプ電極15はボール形状で形成される。

【0050】また、本実施形態は、リジット基板2上に柔軟層3を介在して電極パッド4Aが形成された配線基板1を用い、電極パッド4Aに凹部4Bを形成した例について説明したが、図12(断面図)に示すように、リジット基板からなる配線基板19に溝19Aが形成され、溝19A内に電極パッド4Aが形成され、溝19A内において、電極パッド4Aとバンプ電極15とが接続された構造で構成してもよい。この場合、溝19の深さに相当する分、配線基板19と半導体チップ10との間の隙間が狭くなるので、配線基板19と半導体チップ10との間に介在される接着材16の厚さを薄くできる。

【0051】(実施形態2)図13は本発明の実施形態2である半導体装置の断面図である。

【0052】本実施形態の半導体装置は、図13に示す

ように、配線基板1の実装面上に実半導体チップ10を搭載している。配線基板1は、前述の実施形態1と同様に、リジット基板2の一表面上に柔軟層3を形成した構造で構成されている。

【0053】前記柔軟層3の表面上には、詳細に図示していないが、複数の電極パッド4Aが配置されている。この複数の電極パッド4Aの夫々は、柔軟層3の表面上を延在する配線4Cを介して、リジット基板2の一表面上を延在する配線2Aに電気的に接続されている。配線2Aは、リジット基板2の内部配線2Cを介して、リジット基板2の裏面上に配置された複数の電極パッド2Bの夫々に電気的に接続されている。この複数の電極パッド2Bの夫々には、例えばPb-Sn組成の金属材料からなるボール形状のバンプ電極17が電気的にかつ機械的に接続されている。

【0054】前記柔軟層3の表面及び配線4Bの表面は保護膜5で被覆され、前記リジット基板2の裏面は保護膜6で被覆されている。この保護膜5、保護膜6の夫々は例えばポリイミド系の樹脂で形成されている。

【0055】前記半導体チップ10は、配線基板1の実装面に接着材16を介在して接着固定されている。接着材16は、例えばエポキシ系の熱硬化性樹脂で形成されている。

【0056】前記半導体チップ10は、例えば単結晶珪素からなる半導体基板を主体に構成されている。半導体基板の素子形成面上には複数の外部端子13が配置されている。この複数の外部端子13の夫々は、半導体基板の素子形成面上に形成された配線層のうち最上層の配線層に形成され、最上層の配線層上には最終保護膜14が形成されている。

【0057】前記半導体チップ10の外部端子13と前記配線基板1の電極パッド4Aとの間には、バンプ電極15が介在されている。バンプ電極15は、半導体チップ10の最終保護膜14に形成された開口を通して、半導体チップ10の外部端子13に固着され、電気的にかつ機械的に接続されている。また、バンプ電極15は、配線基板1の保護膜5に形成された開口を通して、配線基板1の電極パッド4Aに圧接され、電気的にかつ機械的に接続されている。このバンプ電極15の圧接による接続は、熱収縮力及び熱硬化収縮力等で接着材16に生じた圧縮力によって行なわれている。つまり、半導体チップ10は配線基板1の実装面上にFCA法によって実装されている。

【0058】前記バンプ電極15が圧接された電極パッド4Aには凹部4Bが形成され、この凹部4B内において、バンプ電極15と電極パッド4Aとが接続されている。

【0059】前記配線基板1と半導体チップ10との間に介在された接着材16の厚さは、配線基板1と半導体チップ10との間の隙間で規定される。この隙間はバン

ブ電極15の高さで規定されるが、パンプ電極15と電極パッド4Aとの接続が電極パッド4Aに形成された凹部4B内において行なわれているので、凹部4Bの凹み量に相当する分だけ狭くなる。つまり、配線基板1の電極パッド4Aに凹部4Bを形成し、この凹部4B内において、パンプ電極15と電極パッド4Aとを接続することにより、凹部4Bの凹み量に相当する分、配線基板1と半導体チップ10との間の隙間が狭くなるので、配線基板1と半導体チップ10との間に介在される接着材16の厚さを薄くすることができる。したがって、パンプ電極15の高さを低くすることなく、配線基板1と半導体チップ10との間に介在された接着材16の厚さ方向の膨張量を低減することができる。

【0060】前記電極パッド4Aの凹部4Bは、電極パッド4A及び柔軟層3の弾性変形によって形成されている。この電極パッド4A及び柔軟層3の弾性変形は、配線基板1の実装面上に半導体チップ10を実装する際、半導体チップ10の圧着力でパンプ電極15が電極パッド4Aを押圧することによって発生するので、パンプ電極15には電極パッド4A及び柔軟層3の弾性力が作用している。

【0061】本実施形態の半導体チップ10は、前述の実施形態1と同様の方法で実装される。なお、柔軟層3は接着材16の材料に比べて熱膨張係数の小さい材料で形成する。

【0062】このように構成された半導体装置は、前述の実施形態と同様の効果を得ることができる。

【0063】(実施形態3)図14は本発明の実施形態3であるCPUモジュール(電子装置)の平面図であり、図15は図14に示すB-B線の位置で切った断面図であり、図16は図14に示すC-Cの位置で切った断面図である。

【0064】図14及び図15に示すように、CPUモジュール50は、熱伝導度が高い金属板からなる熱拡散板52をベースとし、この熱拡散板52にCPUモジュール50の電力の殆どを消費して発熱量の大きいCPUベアチップ56とCPUモジュール基板51とを直接接続した構造で構成されている。CPUベアチップ56とCPUモジュール基板51は金ワイヤで電氣的に接続され、CPUベアチップ56を収納したキャビティ53には、CPUモジュール基板51が直方体になるようにポッティング樹脂55が充填されている。このように構成されたCPUモジュール基板51には、さらに、キャッシュサブモジュール65、システムコントローラ60及びインターフェース用コネクタ64といった主要部品が搭載されている。キャッシュサブモジュール65とCPUモジュール基板51は、図16に示すように、パンプ電極57を介して電氣的に接続されている。

【0065】図14において、クロックドライバ61は適応システムによりCPUモジュール50に搭載され

ず、インターフェース用コネクタ64からクロックを供給する場合がある。小型チップ部品63は、比較的高周波領域のノイズ対策として実装するチップセラミックコンデンサ、及びバスのプルアップや初期設定のストラッピング用のプルダウン、信号のダンピング等に使用するチップ抵抗、及び温度センサーとして用いるチップサーミスタ等である。大型チップ部品62は、CPUベアチップ56がクロック停止状態から復帰してクロック供給を開始して通常動作状態に移移する時などのように比較的低周波領域での電源ノイズを吸収するための大容量の例えばチップタンタルコンデンサや、温度のセンシングをシリアルを介して温度情報を伝送するインテリジェントな温度センサー、及びCPUモジュール50が要求する特殊な電源電圧を作るのに必要なDC/DCコンバータやコイル、大容量のコンデンサなどである。

【0066】さらに、キャッシュサブモジュール65には、非同期型若しくはクロック同期型のSRAMが使用され、データが格納されるキャッシュSRAM65Aに必要なキャッシュ容量に応じて例えば256[kB]の容量が必要であれば1[Mb]の容量のキャッシュSRAM65Aを2個搭載し、512[kB]の容量が必要であれば1[Mb]の容量のキャッシュSRAM65Aを4個搭載する。キャッシュサブモジュール65には4個の搭載スペースがあるので2[Mb]構成のキャッシュSRAM65Aを使用すれば1[MB]のキャッシュ容量を確保できる。

【0067】キャッシュサブモジュール56には、ほかにキャッシュSRAM65Aに格納したデータのアドレスの一部を格納するTAG・SRAM65B及び必要に応じて、デカップリング用のチップセラミックコンデンサや、例えば1[Mb]のキャッシュSRAM65Aを2個用いて256[kB]のキャッシュ容量を実現するか、4個用いて512[kB]の容量を実現するかの選択を行うためのジャンパ用チップ抵抗が実装される。

【0068】キャッシュ容量に応じたTAG・SRAM65Bに要求される容量及びビット構成はキャッシュ方式により様々であるのでここでは説明しない。キャッシュSRAM65AとTAG・SRAM65Bのパッケージ形態は、両方ともベアチップの場合、両方ともプラスチックやセラミックでモールドされたパッケージの場合、いずれかがベアチップで、いずれかがモールドされたパッケージの場合があるが、本実施形態では、キャッシュSRAM65Aにベアチップを使い、TAG・SRAM65BにプラスチックモールドされたQFPを使った場合である。

【0069】図17に熱拡散板52の形状を示す。図17に示すように、熱拡散板52には複数の固定用の穴が設けられているだけで、電子部品等は一切搭載、実装せず、水平平面型の熱インターフェースを供給する。このように、熱抵抗が低く単純な形状の熱インターフェイス

を供給することで、情報処理装置システムの放熱情報設計が容易となる。

【0070】このように構成されたCPUモジュール50は、図18に示すようなノートブック型パーソナルコンピュータ等の情報処理装置70に組み込まれる。情報処理装置70は液晶パネル71と調整ボリューム72等を持つ構造で構成される。CPUモジュール50をマザーボード73に接続し、CPUモジュール50の熱拡散板52を下部筐体74に取り付ける事で、熱は主に下部筐体74側に伝導し、マザーボード73には殆ど伝導していかないので、キーボード75に熱が伝わらないので、キーボード75が熱くて情報処理装置70を操作するユーザに不快感を与えない情報処理装置が実現できる。なお、図18中、76はPCカードソケットであり、77はHDD/CD-ROMドライブである。また、CPUモジュール50の熱拡散板52側を下部筐体74に密着させるには、薄い熱伝導シートを使う方法及びシリコングリスを塗布する方法等がある。

【0071】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

#### 【0072】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0073】配線基板の実装面に接着材を介在して固定され、かつ前記配線基板の電極パッドにバンパ電極を介在して外部端子が電氣的に接続された半導体チップを有する電子装置において、配線基板の電極パッドとバンパ電極との接続信頼性を高めることができる。

【0074】また、配線基板の実装面に接着材を介在して固定され、かつ前記配線基板の電極パッドにバンパ電極を介在して外部端子が電氣的に接続された半導体チップを有する半導体装置において、配線基板の電極パッドとバンパ電極との接続信頼性を高めることができる。

【0075】また、本実装構造はベアチップによるフリップチップ実装であるため、基板表面からチップ裏面までの実装高さ及び実装エリアを他のワイヤボンディング構造やフラットパッケージ(QFP)と比較して、実装高さを低く、実装エリアを小さくすることができ、高密度実装が可能となる。

【0076】また、本実装構造を利用した場合、システム(例えば情報処理装置)の薄型化、小型化が実現できる。

【0077】また、本実装構造において使用する配線基板は表面上の柔軟層が沈み込むため、実装高さは更に低くすることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1であるメモリモジュール(電子装置)の平面図である。

【図2】図1に示すA-A線の位置で切った要部断面図である。

【図3】図2の要部拡大断面図である。

【図4】前記電子装置の製造方法を説明するための断面図である。

【図5】前記電子装置の製造方法を説明するための断面図である。

10 【図6】前記電子装置の製造方法を説明するための断面図である。

【図7】前記電子装置の製造方法を説明するための断面図である。

【図8】前記電子装置の製造方法を説明するための断面図である。

【図9】本発明の実施形態1の変形例を示す断面図である。

【図10】本発明の実施形態1の変形例を示す断面図である。

20 【図11】本発明の実施形態1の変形例を示す断面図である。

【図12】本発明の実施形態1の変形例を示す断面図である。

【図13】本発明の実施形態2である半導体装置の断面図である。

【図14】本発明の実施形態3であるCPUモジュール(電子装置)の平面図である。

【図15】図14に示すB-B線の位置で切った要部断面図である。

30 【図16】図14に示すC-C線の位置で切った要部断面図である。

【図17】前記CPUモジュールの熱拡散板の形状を示す平面図である。

【図18】前記CPUモジュールを組み込んだ情報処理装置の概略構成図である。

【符号の説明】

1…配線基板、2…リジット基板、3…柔軟層、4A…電極パッド、4B…凹部、5、6…保護膜、10…半導体チップ、13…外部端子、14…最終保護膜、15…バンパ電極、16…接着材、19…配線基板、19A…溝、20…半導体装置、22…リード、30…ベアチップ用キャリア治具、40…ガラス基板、41…ヒータ、50…CPUモジュール(電子装置)、51…CPUモジュール基板、52…熱拡散板、53…キャビティ、55…ポッティング樹脂、60…システムコントローラ、61…クロックドライバ、62…大型チップ部品、63…小型チップ部品、64…インターフェース用コネクタ、65…キャッシュサブモジュール、65A…キャッシュSRAM、65B…TAG・SRAM、70…情報処理装置、71…液晶パネル、72…調整ボリューム、73

…マザーボード、74…下部筐体、75…キーボード、  
76…PCカードソケット、77…HDD/CD-RO

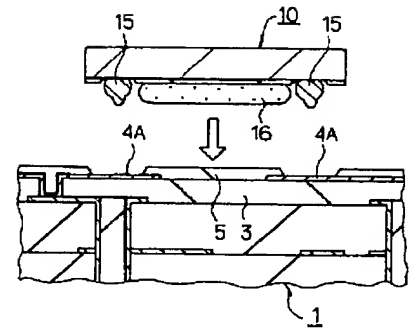
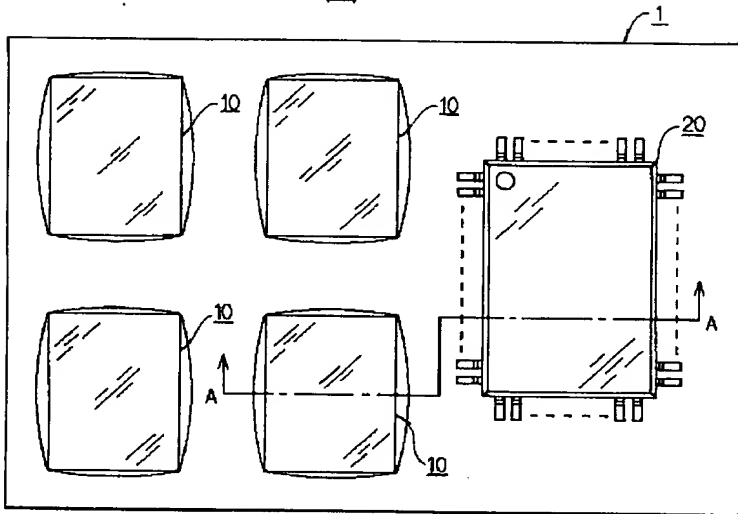
Mドライブ。

【図1】

【図9】

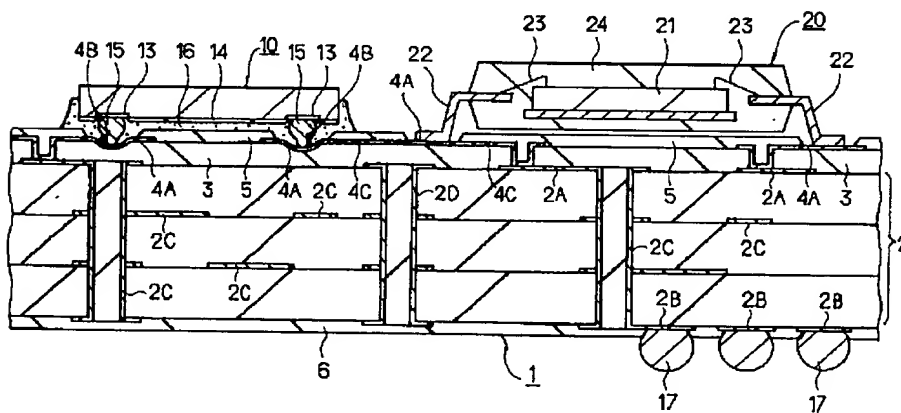
図1

図9



【図2】

図2

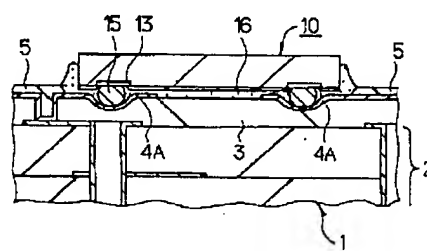
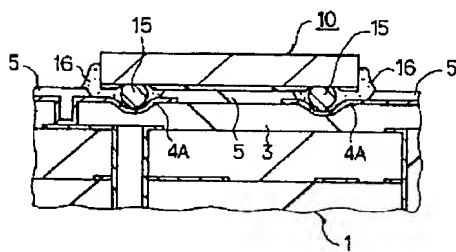


【図10】

【図11】

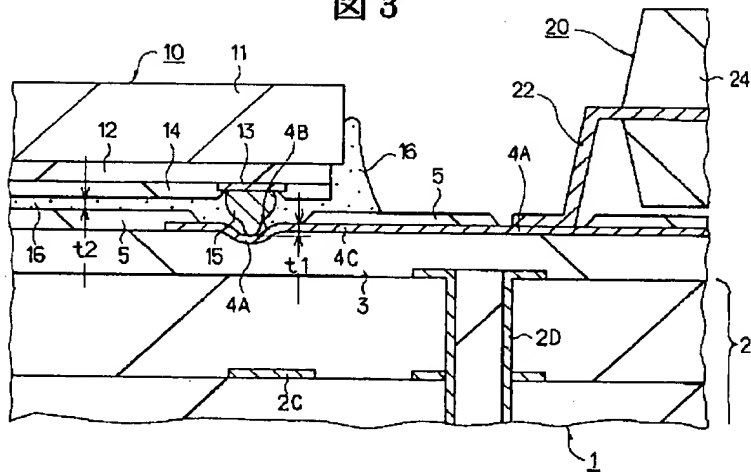
図10

図11



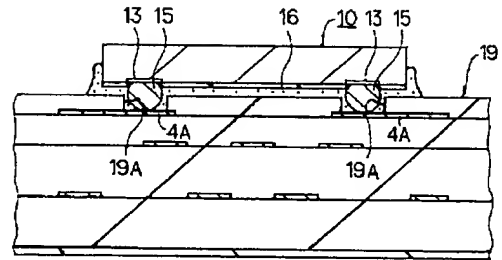
【図3】

図3



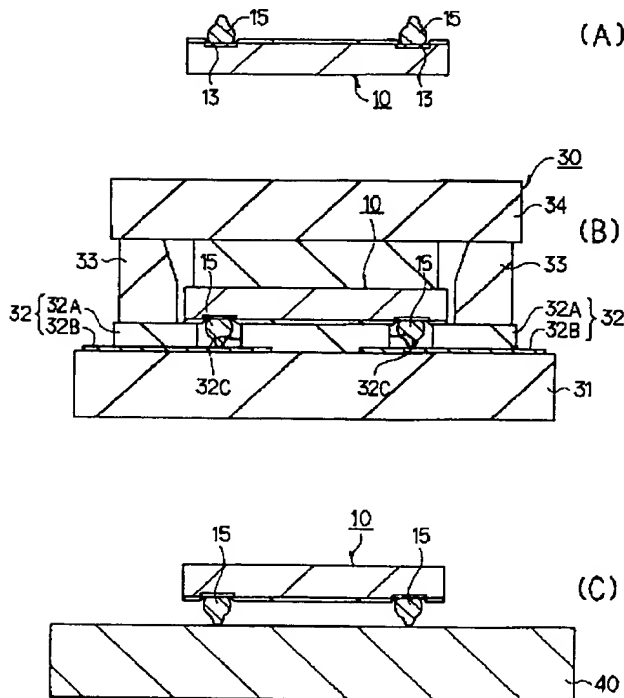
【図12】

図12



【図4】

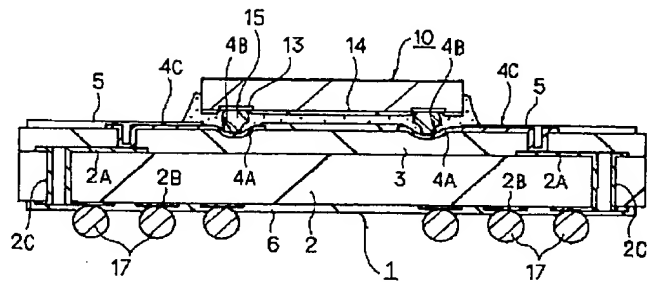
図4



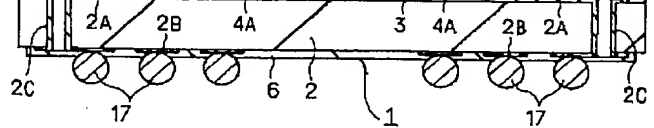
【図13】

図13

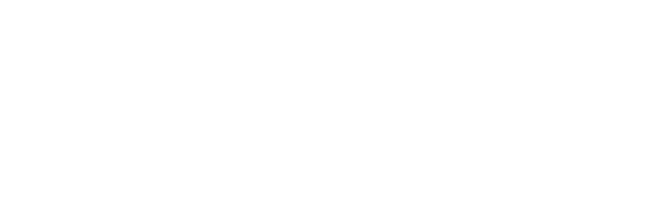
(A)



(B)

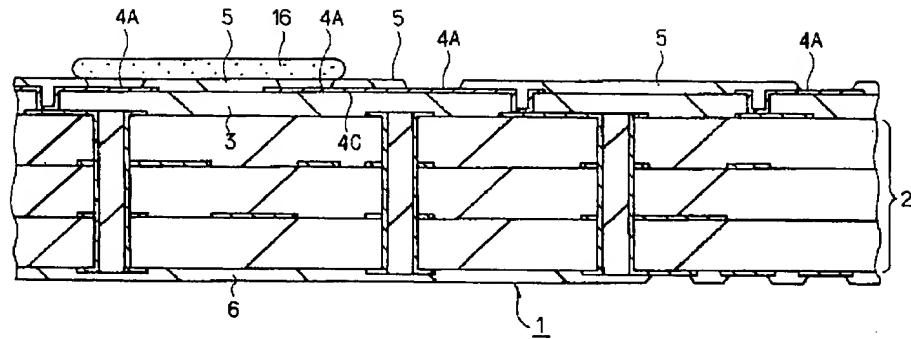


(C)



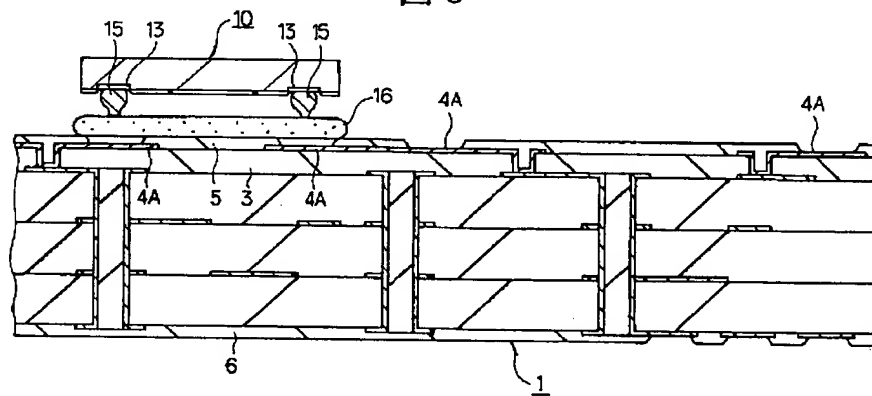
【図5】

図5



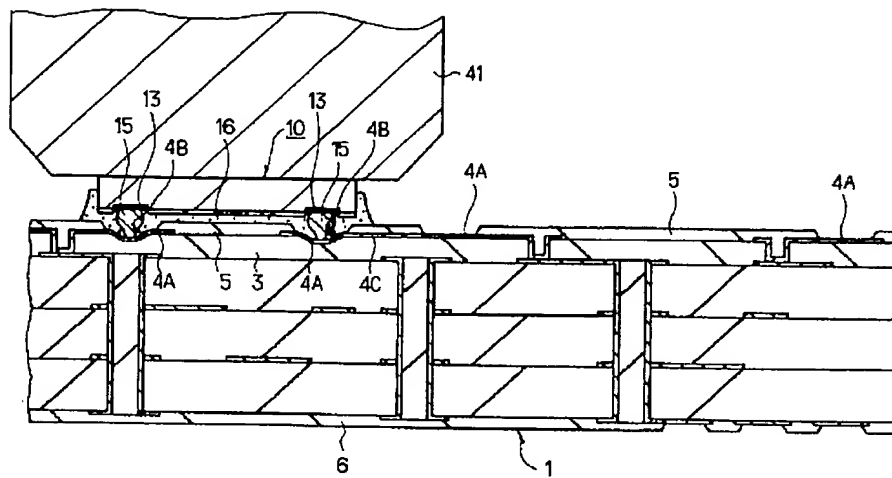
【図6】

図6



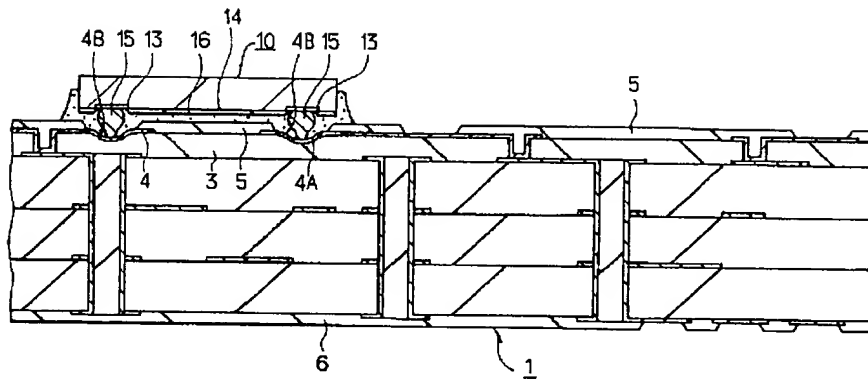
【図7】

図7



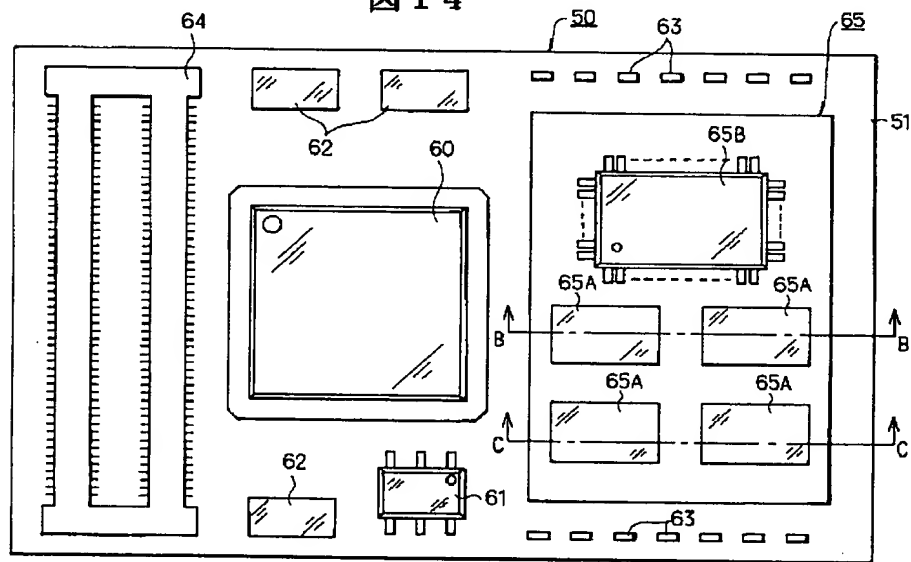
【図8】

図8



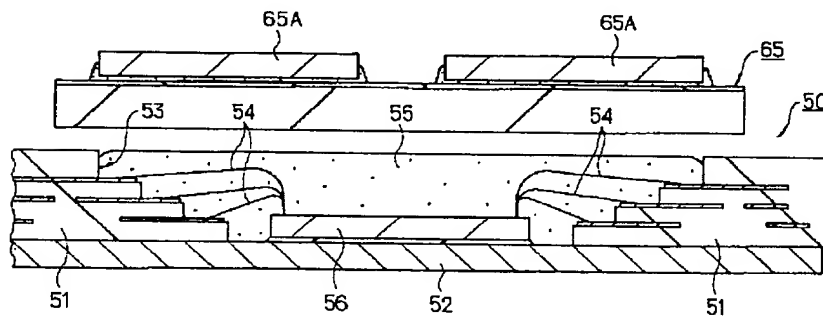
【図14】

図14



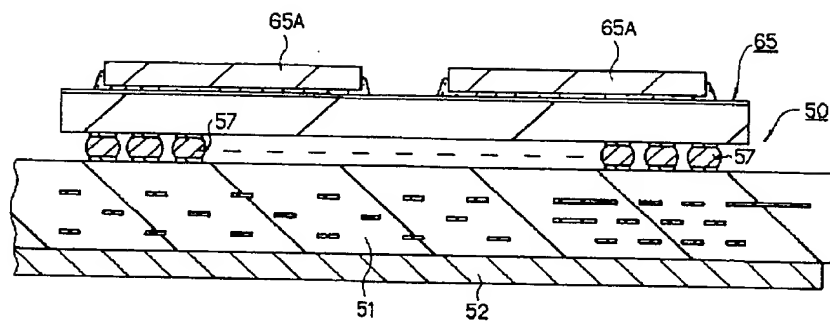
【図15】

図15



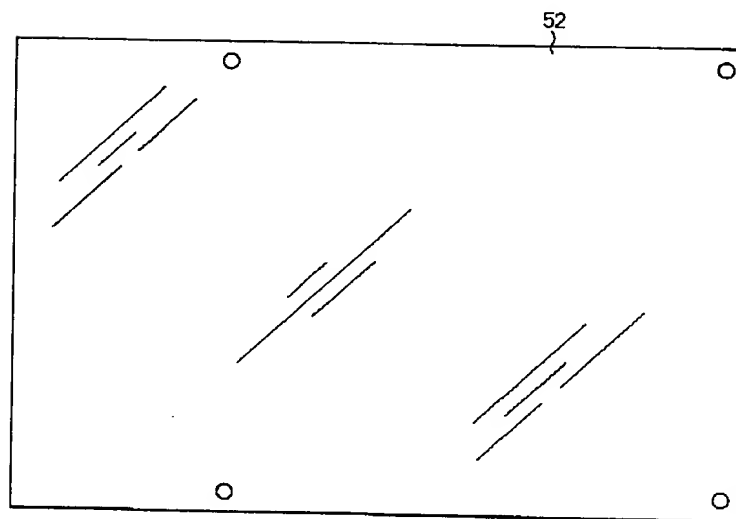
【図16】

図16



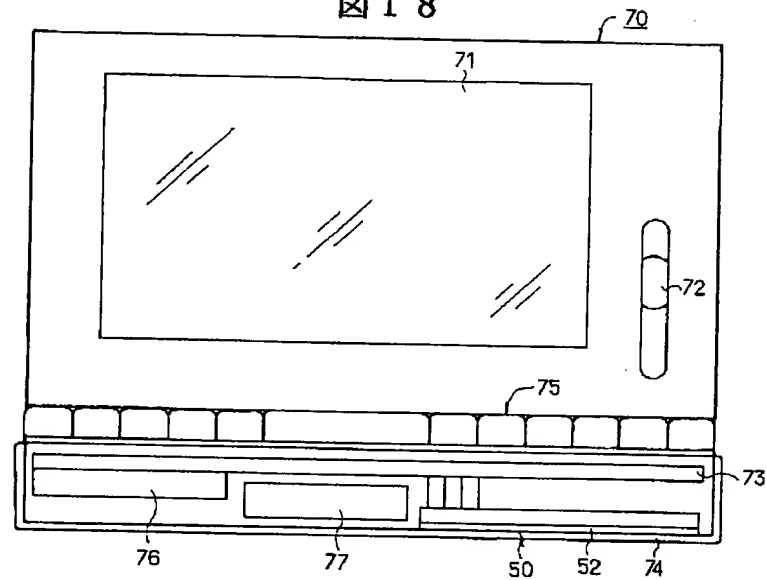
【図17】

図17



【図18】

図18



フロントページの続き

(72) 発明者 林田 哲哉  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 山際 明  
神奈川県海老名市下今泉810番地 株式会  
社日立製作所オフィスシステム事業部内  
(72) 発明者 竹浦 忍  
北海道亀田郡七飯町字中島145番地 日立  
北海セミコンダクタ株式会社内